

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 63249375 A
(43) Date of publication of application: 17.10.1988

(51) Int. Cl. H01L 29/78
G11C 17/00, H01L 27/10

(21) Application number: 62082988
(22) Date of filing: 06.04.1987

(71) Applicant: OKI ELECTRIC IND CO LTD
(72) Inventor: ONO TAKASHI
KITAZAWA SHOJI

(54) DATA ERASING METHOD FOR SEMICONDUCTOR MEMORY DEVICE

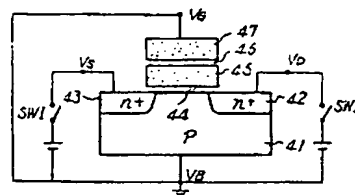
(57) Abstract:

PURPOSE: To make it possible to easily perform electrical erasing of data as well as writing of data, by changing voltage applying conditions.

CONSTITUTION: A reverse bias voltage of about 2~3 V is applied to a source 43 in order to make a current not to flow from the source 43 to a substrate 41, and a reverse bias voltage of about 14 V is applied between a drain 42 and the substrate 41. Then hot holes, for example, are generated by avalanche effect in the vicinity of a drain junction part below a gate oxide film

44. These hot holes are injected into a floating gate 45, in which electric charges are neutralized by the holes. By changing voltage applying conditions in this manner, not only the data writing but also the data erasing are electrically enabled.

COPYRIGHT: (C)1988,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-249375

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)10月17日

H 01 L 29/78
G 11 C 17/00
H 01 L 27/10

3 7 1
3 0 9
4 3 3

7514-5F
C-7341-5B
8624-5F

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 半導体記憶装置のデータ消去方法

⑯ 特 願 昭62-82988

⑰ 出 願 昭62(1987)4月6日

⑱ 発 明 者 小 野 隆 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑲ 発 明 者 北 沢 章 司 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑳ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
㉑ 代 理 人 弁理士 清水 守

明 細 書

1. 発明の名称

半導体記憶装置のデータ消去方法

2. 特許請求の範囲

- (1) コントロールゲートとフローティングゲートを有するMOS型トランジスタを記憶単位とする半導体記憶装置のデータ消去方法において、
- (a) 前記MOS型トランジスタのソースから基板に電流が流れないように逆偏倚電圧を印加し、
- (b) 前記MOS型トランジスタのドレインと前記基板間に200 μ A以下のドレイン電流が流れる逆偏倚電圧を印加し、
- (c) 前記MOS型トランジスタのコントロールゲートの電位は該MOS型トランジスタのチャネル電流が流れることを阻止する電位とし、フローティングゲートに貯えられている電位を除去することを特徴とする半導体記憶装置のデータ消去方法。
- (2)
- (a) 前記MOS型トランジスタはnチャネルを形

成し、

- (b) 該nMOS型トランジスタのソースを基板電位に対して正に偏倚し、
- (c) 前記nMOS型トランジスタのドレイン電位を200 μ A以下のドレイン電流が流れる正の電位とし、
- (d) 前記nMOS型トランジスタのコントロールゲート電位を前記nMOS型トランジスタのチャネル電流が流れることを阻止する電位とし、前記フローティングゲートに蓄えられた負電位を除去することを特徴とする特許請求の範囲第1項記載の半導体記憶装置のデータ消去方法。
- (3) 前記負電位を除去する時のnMOS型トランジスタのドレイン電位は前記フローティングゲートに電子を注入する場合の電位と異なることを特徴とする特許請求の範囲第2項記載の半導体記憶装置のデータ消去方法。
- (4) 前記負電位を除去する時のnMOS型トランジスタのソース電位は前記フローティングゲートに電子を注入する場合の電位と異なることを特

徴とする特許請求の範囲第2項記載の半導体記憶装置のデータ消去方法。

(5)

(a) 前記MOS型トランジスタはpチャネルを形成し、

(b) 前記pMOS型トランジスタのソースを基板電位に対して負に偏置し、

(c) 前記pMOS型トランジスタのドレイン電圧を200 μ A以下のドレイン電流が流れる負の電位とし、

(d) 前記pMOS型トランジスタのコントロールゲート電位を前記pMOS型トランジスタのチャネル電流が流れることを阻止する電位とし、前記フローティングゲートに蓄えられた正電位を除去することを特徴とする特許請求の範囲第1項記載の半導体記憶装置のデータ消去方法。

(6) 前記正電位を除去する時のpMOS型トランジスタのドレイン電位と前記フローティングゲートに正孔を注入する場合の電位とは異なることを特徴とする特許請求の範囲第5項記載の半導体

記憶装置のデータ消去方法。

(7) 前記正電位を除去する時のpMOS型トランジスタのソース電位は前記フローティングゲートに正孔を注入する場合の電位とは異なることを特徴とする特許請求の範囲第5項記載の半導体記憶装置のデータ消去方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体記憶装置のデータ消去方法に係り、特に、EPROM (Electrically Programmable Read Only Memory) のデータ消去方法に関するものである。

(従来の技術)

従来、このような分野の技術としては、例えば、

(1) "Modern MOS Technology" Dawitt G. Ong

P.212-216, McGraw-Hill Book Company

(2) "COMPARISON AND TRENDS IN TODAY'S

DOMINANT E² TECHNOLOGY" '86 IEDM 26-1.

第7図は上記(1)に示されるEPROMセルの断面図である。

図中、1はp型基板、2はフィールド酸化膜、3はドレインとなるn⁺拡散層、4はソースとなるn⁺拡散層、5ゲート酸化膜、6はフローティングゲートとなる第1の多結晶シリコン、7は酸化膜、8はコントロールゲートとなる第2の多結晶シリコンである。

このEPROMは、データの書き込みは電気的に行えるが、データの消去は電気的には行えず、紫外線を照射することにより行っていた。即ち、データの書き込みを行う場合は、コントロールゲートとなる第2の多結晶シリコン8に12~25V印加し、ドレインn⁺拡散層3に7~20Vのパルス印加する。この時、ソース・ドレイン間に大電流が流れ、その時、衝突電離により発生したホット電子の一部がゲート方向の電界に沿って第1の多結晶シリコン6に到達する。この時、前記第1の多結晶シリコン6はSiO₂膜等の絶縁膜で囲まれ、電気的にフローティングな状態なので、前記ホット電子はそのフローティングゲート内に蓄えられる。このようにして書き込まれたメモリセルはV₁ (閾

値電圧)が高くなり、リード時に電流が殆ど流れなくなり、データが書き込まれたことになる。

一方、EPROMの消去は紫外線を照射し、書き込まれたフローティングゲート6中の電子が励起されて、前記フローティングゲートの外へ消失することで達成される。

次に、書き込み、消去共に電気的に行えるE²PRON(Electrical Erasable and Programmable ROM)について述べる。

上記(1)及び(2)に示されるように、主に3種のE²PRONが提案されているが、これらはすべて絶縁膜のトンネル電流を利用して書き込み、消去を行うものである。

まず、第8図は従来のFLOTOX型(Floating gate tunnel oxide)E²PRONセルの断面図である。

図中、11はp型基板、12はフィールド酸化膜、13はドレインとなるn⁺拡散層、14はソースとなるn⁺拡散層、15はゲート酸化膜、16はトンネル酸化膜、17はフローティングゲートとなる第1の多結晶シリコン、18は酸化膜、19はコントロール

ゲートとなる第2の多結晶シリコンである。

この図に示されるように、ゲート酸化膜15の一部が膜厚が薄いトンネル酸化膜16となって、ここに電流を流してフローティングゲート17に電子を出し入れするようにしている。

次に、第9図は従来のTextured(多結晶)poly型E²PRONセルの断面図である。

図中、21はシリコン基板、22は酸化膜、23は第1の多結晶シリコン、24はフローティングゲートとなる第2の多結晶シリコン、25は書き込み消去を行うための第3の多結晶シリコンである。

この図に示されるように、第1の多結晶シリコン23上の酸化膜22をトンネル膜として利用し、フローティングゲート24に電子を出し入れするようにしている。

次に、第10図は従来のMNOS型(Metal Nitride Oxide Silicon)E²PRONセルの断面図である。

図中、31はn型基板、32はpウェル、33はドレインとなるn⁺拡散層、34はソースとなるn⁺拡散層、35は酸化膜、36は第1の多結晶シリコン、

のTextured poly型では第3の多結晶シリコン形成工程、上記(4)のMNOS型ではシリコン窒化膜形成工程が増えるという欠点があった。

本発明は、上記した欠点を除去し、EPROMと同等の面積及び工程で、しかも紫外線を用いず記憶されたデータを電気的に消去できる半導体記憶装置のデータ消去方法を提供することを目的とする。

(問題点を解決するための手段)

本発明は、上記問題点を解決するために、コントロールゲートとフローティングゲートを有するMOS型トランジスタを記憶単位とする半導体記憶装置のデータ消去方法において、ソースから基板に電流が流れないように逆偏荷電圧を印加し、ドレインと前記基板間に200 μ A以下のドレイン電流が流れる逆偏荷電圧を印加し、前記MOS型トランジスタのコントロールゲートの電位は該MOS型トランジスタのチャネル電流が流れることを阻止可能な電位とし、フローティングゲートに貯えられている電位を除去するようにしたものである。

37はシリコン窒化膜、38は第2の多結晶シリコンである。

この図に示されるように、シリコン窒化膜37中に電荷を貯える方式で、データの書き込み、消去は前記2方式と同様にトンネル電流によって行われる。

(発明が解決しようとする問題点)

しかし、上記したいずれの方法であっても以下に述べるような欠点があった。

まず、第1に上記(1)のEPROMでは紫外線によって消去するため、パッケージに紫外線を透過するように窓を形成することが必要となり、組立工程の煩雑化、コスト高を招き、又、紫外線照射器も必要となる欠点があった。

次に上記(2)乃至(4)の3種のE²PRONでは、消去後のV_Tが下がり過ぎてデプレッション型Tr(トランジスタ)特性を示すため、V_Tが一定のセレクトTrが1セルに1個必要となり、セル面積が増大するという欠点があった。又、上記(2)のFLOTOX型ではトンネル酸化膜形成工程、上記(3)

(作用)

本発明によれば、上記したように、ソースから基板に電流が流れないようにソースに約2~3Vの逆バイアス電圧をかけ、次に、ドレインと前記基板間に約14Vの逆バイアスをかけると、ゲート酸化膜下方のドレイン接合部近傍にアバランシェ効果による、例えば、ホットホールが発生し、フローティングゲートに注入され、フローティングゲート中の電荷を中和する。このように、電圧の印加条件を変えることにより、データの書き込みだけでなく、データの消去も電気的に行えるようにしたものである。

(実施例)

以下、本発明の実施例について図面を参照しながら詳細に説明する。

第1図は本発明の一実施例を示すnMOS EPROMのデータ消去方法を示す工程図、第2図は本発明を実施するnMOS EPROMセルの概略図である。

第2図において、41はp型シリコン基板、42はその基板に形成されるドレインであるn⁺拡散層、

43はソースとなる n^+ 拡散層、44は第1ゲート酸化膜、45はフローティングゲートとなる第1の多結晶シリコン層、46は第1の多結晶シリコン層上のシリコン酸化膜、47はコントロールゲートとなる第2の多結晶シリコン層である。

この図に示されるように、P型シリコン基板41上に膜厚300Åの第1ゲート酸化膜44、膜厚3000Åの第1の多結晶シリコン層45、その多結晶シリコン45上に膜厚400Åの酸化膜46、更に、その上に膜厚3000Åの第2の多結晶シリコン層47からなるEPROMセルをセルフアライン技術を用いて形成する。また、ドレインとなる p^+ 拡散層42及びソースとなる n^+ 拡散層43の深さ x_j は約 $0.25\mu m$ 、EPROMセルの実効ゲート長は $0.8\mu m$ (ゲート長 $1.2\mu m$)であり、紫外線消去した場合の V_{T1} は $1.8V$ (第3図における初期値 V_{T1})である。

このメモリセルにおけるデータの書き込みは、以下のように行う。

まず、 $V_G = 13V$ 、 $V_D = V_S = 0V$ にしており、この状態で、ドレイン42に $V_D = 8V$ のバル

スを $0.1msec$ 印加する。このようにすると、メモリセルの V_T は $1.8V$ から約 $6V$ に上昇し、データが書き込まれたことになる。この書き込み方法は従来のEPROMのデータの書き込み方法と同じである。

次に、この書き込まれたデータの消去方法について説明する。

まず、第1図(a)に示されるように、スイッチIを閉じ、スイッチIIは開いておき、このセルに $V_G = V_D = 0V$ 、 $V_S = 2V$ を印加する。

次いで、第1図(b)に示されるように、スイッチIIを閉じて、 $V_G = 14V$ のバルスをドレイン42に加える。

この条件でのバルス印加時間と V_T の関係を第3図に示す。

この図に示されるように、 $V_T = 6.6V$ であったセルが $50msec$ 印加後は $V_T = 2.0V$ とほぼ書き込み以前に戻っており、かつ、そこで消去が飽和しようとしているのがわかる。前記消去時のバイアスの条件ではドレインにアバランシェ電流が流

れるが、その電流は $100\mu A$ 程度と非常に少ない。これはソース電圧 V_S が $2V$ と高く、ソース・ドレイン間電流が流れないためである。もし、ソース電圧を $0V$ にすると消去はできるが、ブレイクダウンが発生し、ドレイン電流が過大となり配線の熔断やセルの熱破壊を引き起こす可能性がある。

実際にフローティングゲート電位 V_{FG} を $0V$ に固定した時のドレイン電圧-ドレイン電流特性を第4図に示す。ここで、パラメータとしてソース電圧 V_S をとっており、基板電位は $0V$ であるが、第4図に示すように $V_D = 7V$ 以上になるとアバランシェによる電流が流れ始める。前記アバランシェによって発生したホールが前記シリコン基板へ所謂基板電流として流れるため、ソース・ドレイン近傍の前記P型シリコン基板の電位は接地電位よりも高くなる。このため、ソース電圧 V_S が $0V$ の場合には、僅かなアバランシェの発生で容易にソース・基板間のNP接合が順方向にバイアスされ、ソース電極より電子の注入、ドレインへの前記注入された電子の加速、更に、ドレイン近傍

での2次アバランシェ発生と続き、遂にブレイクダウンへ到る。 $V_D = 0V$ の場合のブレイクダウン電圧は約 $9V$ である。しかし、ソース電圧 V_S を正電圧に保つ、即ち、NP接合を逆バイアス状態に保っておけば前記アバランシェによるソース・基板接合の順バイアス状態は起こり難くなるので当然ドレイン電圧がある程度上昇しアバランシェ電流が増加してもブレイクダウンには到り難くなる。実際、第4図に示すように、ソース電圧 V_S が $1V \sim 3V$ と上がるにつれてブレイクダウンに到るまでのドレイン電圧 V_D 、ドレイン電流 I_D が増加しているのがわかる。このことはソースを基板に対して逆バイアスとすることで過大電流の流れるブレイクダウンの発生を回避しながら、消去に寄与する所のアバランシェ現象を維持できることを示すものである。

次に、ソース電圧 $V_S = 2V$ と固定した場合のドレイン電圧-ドレイン電流特性を第5図に示す。ここでは、パラメータとしてフローティングゲート電位 V_{FG} をとっており、基板電位は $0V$ である。

この図に示されるように、 V_{rs} が小さい程アバランシェが低いドレイン電圧で発生していることがわかる。これはドレイン近傍のPN接合部での電界がフローティングゲート電位 V_{rs} が低い程強くなるためである。

実際の EPROMセルでは、フローティングゲート電圧 V_{rs} は、コントロールゲート電圧 V_c 、ドレイン電圧 V_d 、ソース電圧 V_s 、基板電圧 V_b との容量結合で決定されるわけであるが、書き込み後セル（電子を蓄積している）で前記消去方法のバイアス条件では V_{rs} は約 -2 V程度であり、それが消去完了後は約 $+2$ V程度になるものと予想される。

第5図においては、データ消去時のドレイン電流特性は $V_{rs} = -2$ Vから 2 Vへと順次変化していくことになる。ここで、注目すべき点は、例えば、 $V_d = 15$ Vの時、 $V_{rs} = -4 \sim 0$ Vの間ではドレイン電流 I_d は、 $100 \mu A$ 程度流れており、このアバランシェ電流に起因した、例えば、ホットホールが消去に寄与していると予想されるが、

ここで、書き込み時間は1回 0.1 msec、消去時間は1回 100 msecである。200サイクル目（書き込み100回+消去100回）でも、書き込み後 V_r と消去後の V_r の差は約 3 Vあり、十分にメモリとして使用できる。

以上、通常の EPROMセルを用いて電氣的に低電流で消去でき、かつ、消去後 V_r が安定なので、前記 EPROMのようなセレクト Tr も不要な新しい電圧印加条件であり、簡単な製造工程で、かつ、セル面積の小さい安価な電氣的書き込み消去可能なROMが実現できる。

なお、以上述べた実施例はnMOS型の場合であるが、pMOS型の場合でも同様の動作が可能である。

第11図に係る本発明を実施するためのpMOS型のEPROMセルの概略図であり、第12図は本発明の他の実施例を示すpMOS型のEPROMのデータの消去方法の工程図である。

第11図において、51はn型シリコン基板、52はその基板上に形成されるドレインである p^+ 拡散層、53はソースとなる p^+ 拡散層、54は第1ゲート酸

$V_{rs} = 2$ Vでは I_d は急減し、 $1 \mu A$ 程度となっている。このように、第3図に示した消去の飽和現象を説明することができる。消去が進み、 V_{rs} がある程度以上高くなると、アバランシェ電流は急減し、消去は飽和する。この現象を利用すれば十分時間を加えた消去後の V_r を印加ドレイン電圧 V_d を変化することにより容易に調整することが可能である。

以上、ソース電圧を上げることによりドレイン電流を減らし、実用的なアバランシェ消去ができることを示したが、これは基板電圧 V_b を例えば、 -3 Vとバイアスすることによっても可能である。又、前記ソース電位を電氣的にフローティングにしているも消去時に前記ソース電極がソース・ドレイン間のリーク電流により正電位に浮くので前記ソース電位を正にバイアスした場合と同等の効果が得られる。

次に、以上述べた方法で1つの前記メモリセルで電氣的書き込み消去を繰り返した時の V_r 特性図を第6図に示す。

化膜、55はフローティングゲートとなる第1の多結晶シリコン層、56は第1の多結晶シリコン層上のシリコン酸化膜、57はコントロールゲートとなる第2の多結晶シリコン層である。

このpMOS型ROMセルのデータの消去方法は前記したnMOS型ROMセルのデータの消去方法と同様である。即ち、第12図(a)に示されるように、まず、スイッチIを閉じて、前記pMOS型トランジスタのソースに基板電位に対して $-2 \sim -3$ Vを印加して、負にバイアスし、その後、第12図(b)に示されるように、スイッチIIを閉じて、そのpMOS型トランジスタのドレインに基板電位に対して約 -14 Vを印加して、ドレインを $200 \mu A$ 以下のドレイン電流が流れる負の電位とし、そのpMOS型トランジスタのコントロールゲート電位を 0 V、つまり、そのpMOS型トランジスタのチャネル電流が流れることを阻止する電位とすることにより、前記フローティングゲート55に蓄えられた正電位を除去できるようにする。

なお、本発明は上記実施例に限定されるもので

はなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

(発明の効果)

以上、詳細に説明したように、本発明によれば、

- (1) 電圧の印加条件を変えることにより、データの書き込みだけでなく、データの消去も電気的に容易に行なうことができる。
- (2) EPROM と同等の面積及び工程で、しかも紫外線を用いず、記憶されたデータを消去することができる。
- (3) メーカーは完全なデータ書込及び書込後検査を行った後、データを消去してOTP を出荷することが可能となる。また、ユーザー側でのデータ消去、再データ書込も可能となる。
- (4) 集積回路内部で高電圧を発生させることにより、ボード上に実装した状態で ROMデータの変更が可能となる。

4. 図面の簡単な説明

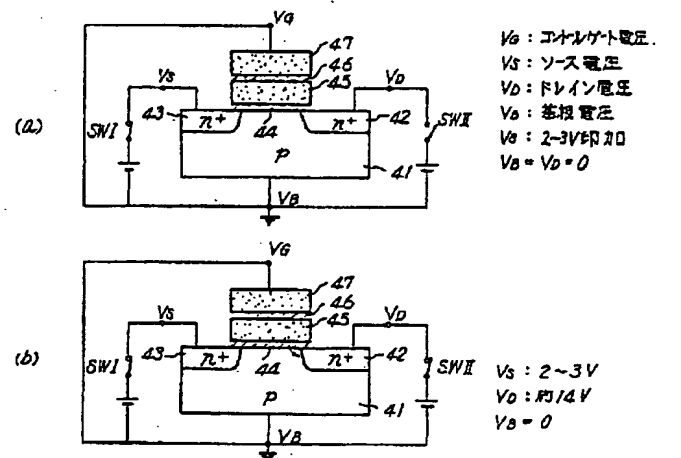
第1図は本発明の一実施例を示すnMOS EPROMの

データ消去方法を示す工程図、第2図は本発明を実施するnMOS EPROMセルの概略図、第3図は消去時間対閾値電圧特性図、第4図はフローティングゲート電位 V_{fg} を0Vに固定した場合のドレイン電圧-ドレイン電流特性図、第5図はソース電圧 V_s を2Vに固定した時のドレイン電圧-ドレイン電流特性図、第6図は電気的書き込み消去の繰り返し回数対閾値電圧特性図、第7図は従来のEPROMの断面図、第8図は従来のPLOTIX型E² PROMの断面図、第9図は従来のTextured poly型E² PROMの断面図、第10図はMNOS型E² PROMの断面図、第11図は本発明を実施するためのpMOS型のEPROMセルの概略図、第12図は本発明の他の実施例を示すデータの消去方法の工程図である。

41…p型シリコン基板、42…ドレイン(n⁺拡散層)、43…ソース(n⁺拡散層)、44、54…第1ゲート酸化膜、45、55…フローティングゲート(第1の多結晶シリコン層)、46、56…第1の多結晶シリコン層上のシリコン酸化膜、47、57…コントロールゲート(第2の多結晶シリコン層)、

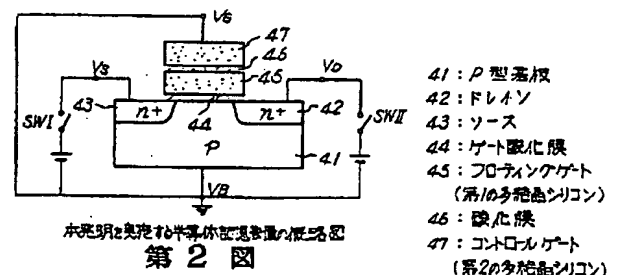
51…p型シリコン基板、52…ドレイン(p⁺拡散層)、53…ソース(p⁺拡散層)。

特許出願人 沖電気工業株式会社
代理人 弁理士 清水 守



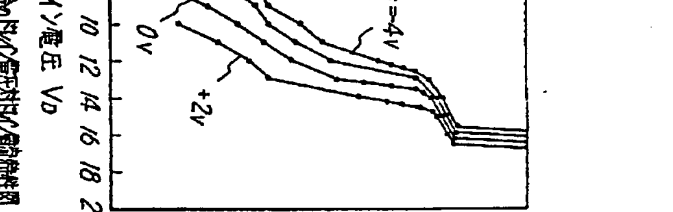
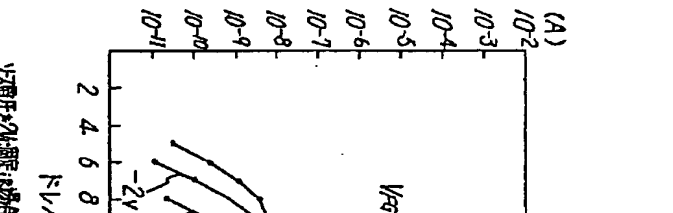
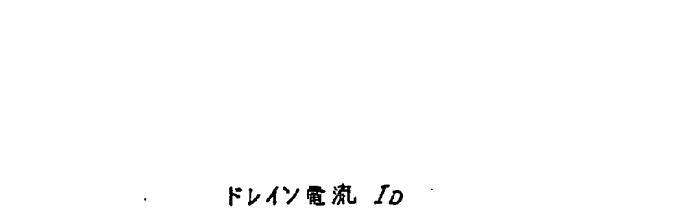
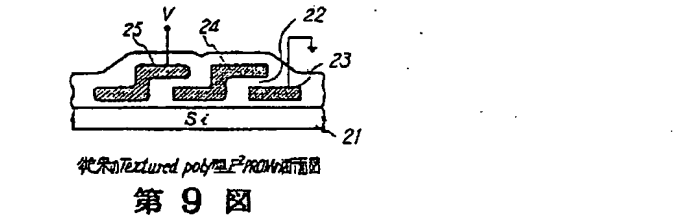
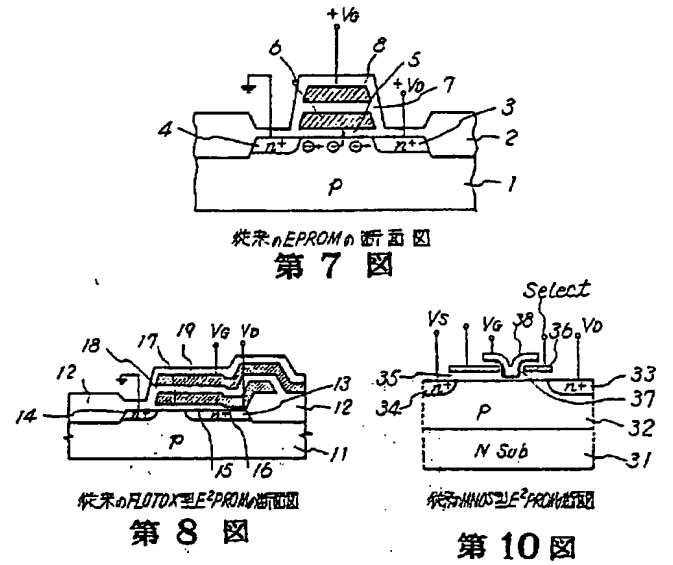
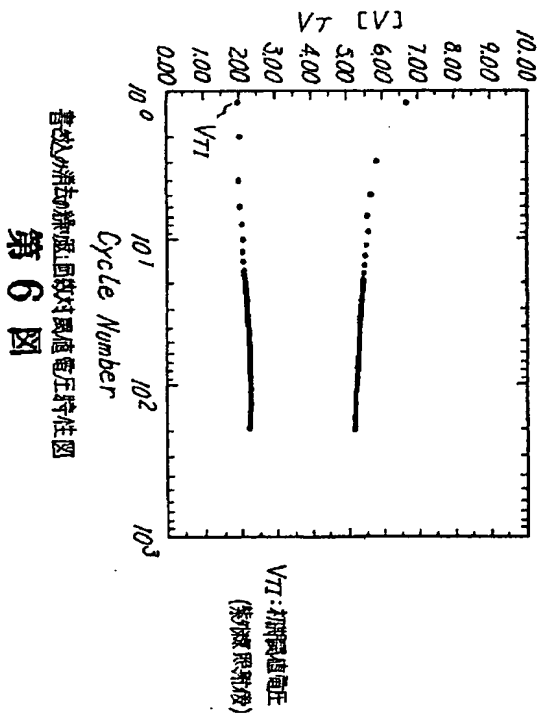
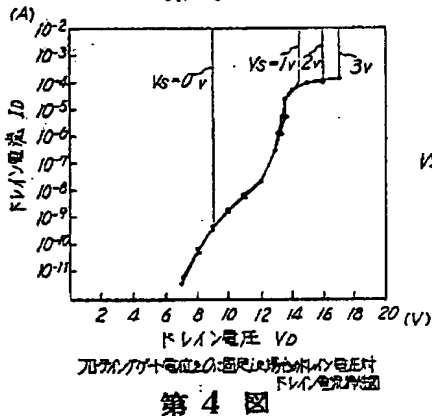
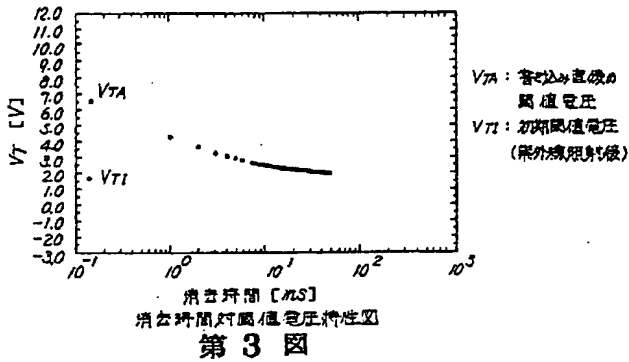
本発明の一実施例を示す工程図

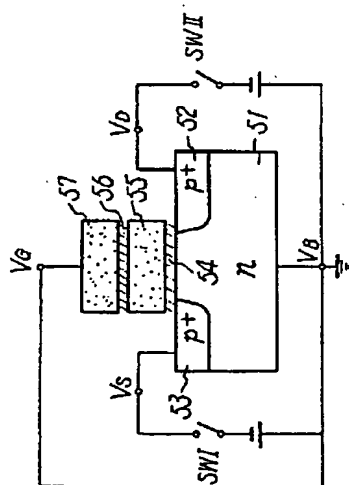
第1図



本発明と実施例の半導体集積回路の概略図

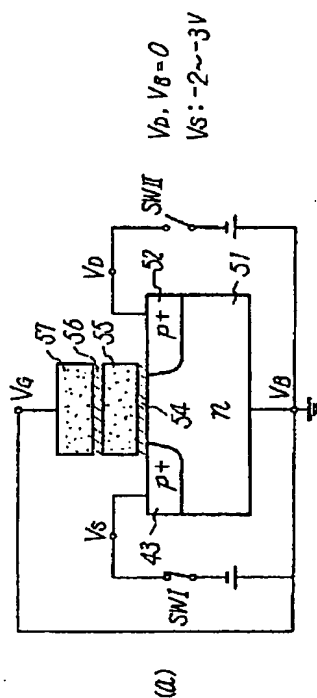
第2図



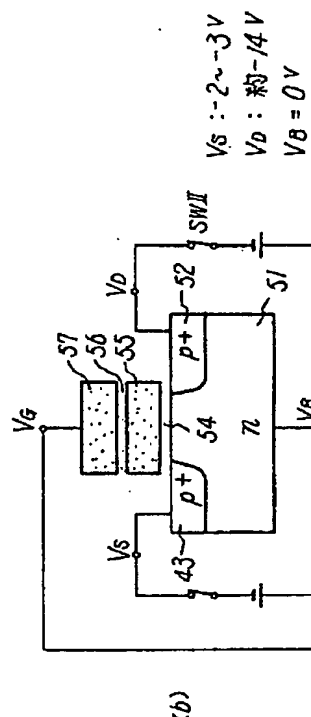


本発明と実施例とが異なる構造の回路図

第11図



(a)



(b)

本発明の物実施例と異なる回路図

第12図